

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-277726

(43)Date of publication of application : 06.10.2000

(51)Int.Cl.

H01L 29/78

(21)Application number : 11-077198

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 23.03.1999

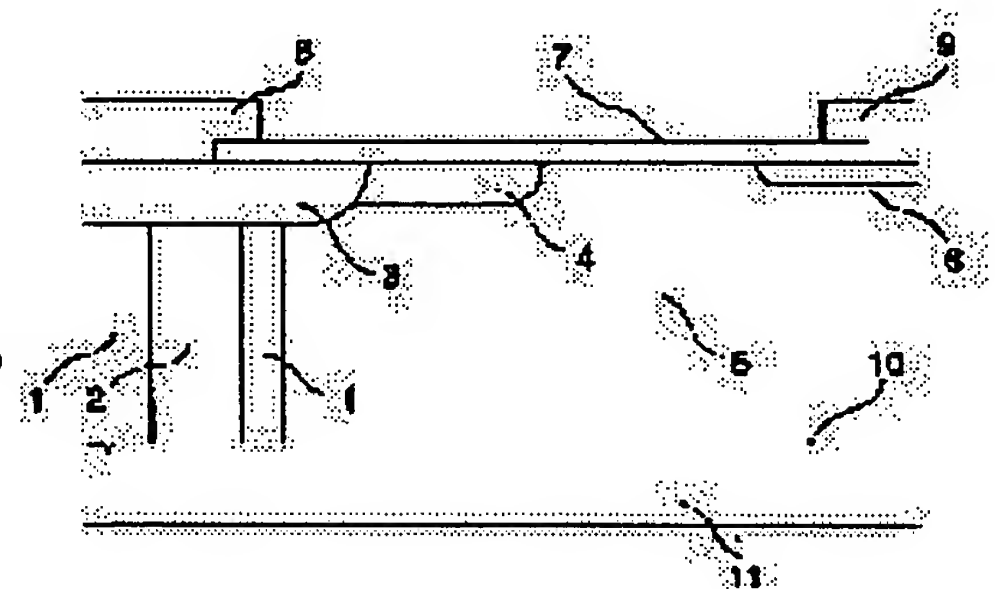
(72)Inventor : URANO SATOSHI
HACHIMAN AKIHIRO

(54) HIGH BREAKDOWN STRENGTH SEMICONDUCTOR ELEMENT

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a terminal structure suitable for a vertical superjunction structure, and to realize a high breakdown strength superjunction.

SOLUTION: Stripe-shaped p-type layers 1 and n-type layers 2 constituting a vertical superjunction structure are formed alternately, and the number is set odd-numbered. Also the integrated values of the carrier density in the layer thickness direction of the p-type layers except the two p-type layers 1 arranged at the outermost sides and the n-type layers 2 are set so as to be substantially the same, and the integrated value of the carrier density in the layer thickness direction of the two p-type layers 1 arranged at the outermost sides is set to be almost half that of the other p-type layers 1 and the n-type layers 2. Then the upper edge of the stripe-shaped p-type layers 1 and n-type layers 2 is brought into contact with a p-type layer 3 with high density, and this p-type layer 3 is surrounded by a p-type layer (reserve layer 4) of low concentration.



LEGAL STATUS

[Date of request for examination] 20.01.2003

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開2000-277726

(P2000-277726A)

(43)公開日 平成12年10月6日(2000.10.6)

(51)Int.Cl.⁷

識別記号

F I

テーマコード(参考)

H 0 1 L 29/78

H 0 1 L 29/78

6 5 2 B

6 5 2 H

6 5 2 F

6 5 3 A

審査請求 未請求 請求項の数11 O L (全 8 頁)

(21)出願番号 特願平11-77198

(22)出願日 平成11年3月23日(1999.3.23)

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72)発明者 浦野 聡

神奈川県川崎市幸区小向東芝町1番地 株
式会社東芝研究開発センター内

(72)発明者 八幡 彰博

神奈川県川崎市幸区小向東芝町1番地 株
式会社東芝研究開発センター内

(74)代理人 100083161

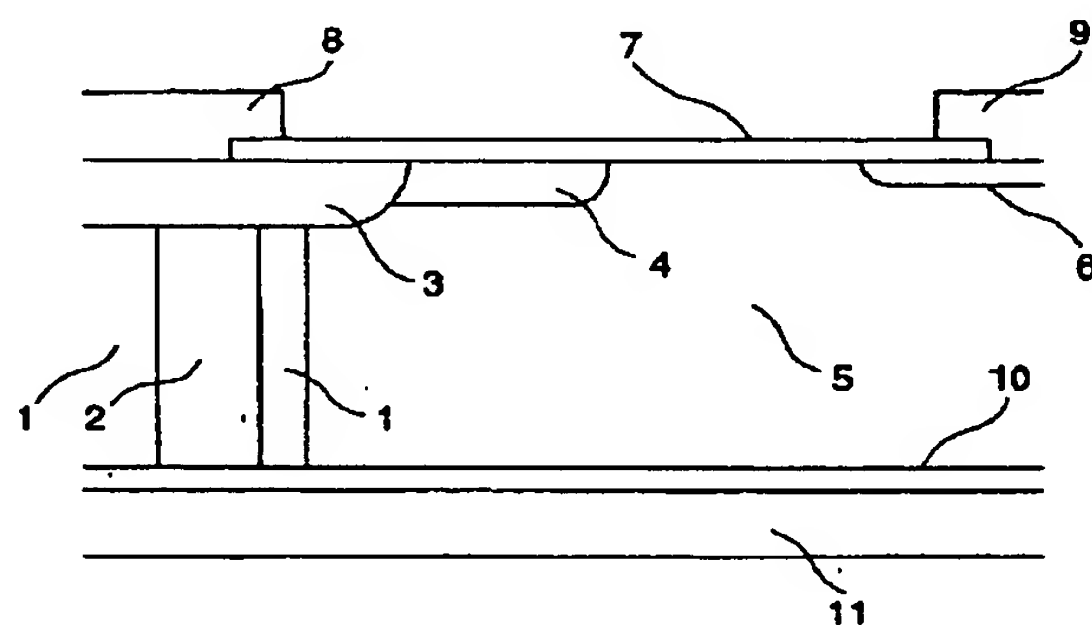
弁理士 外川 英明

(54)【発明の名称】 高耐圧半導体素子

(57)【要約】

【課題】 縦型スーパージャンクション構造に適応した
終端構造を提案し、スーパージャンクションの高耐圧化
を実現すること。

【解決手段】 縦型スーパージャンクション構造を構成
するストライプ状のp型層1とn型層2とが交互に存在
し、数は奇数個とされ、一番外側の二つのp型層1を除
くp型層1とn型層2の層厚み方向のキャリア濃度の積
分値がほぼ等しく、しかも、一番外側の二つのp型層1
の層厚み方向のキャリア濃度の積分値が他のp型層1と
n型層2のそののほぼ半分に設定され、該ストライプ状
のp型層1とn型層2の上端部は高濃度のp型層3と接
し、このp型層3は低濃度のp型層(リサーフ層)4に
囲まれている。



1

【特許請求の範囲】

【請求項1】 第1導電型半導体領域と、この第1導電型半導体領域に接して形成された第1導電型半導体層と、前記第1導電型半導体領域及び前記第1導電型半導体層に接して形成された第2導電型半導体層と、前記第1導電型半導体層及び前記第2導電型半導体層に接して形成された第2導電型半導体領域とを備え、前記第1導電型半導体層及び前記第2導電型半導体層は交互に繰り返して配置されており、その最外部の第1導電型半導体層又は前記第2導電型半導体層の層厚み方向のキャリア濃度の積分値が、その内部に配置された前記第1導電型半導体層及び前記第2導電型半導体層の層厚み方向のキャリア濃度の積分値の概略半分であることを特徴とする高耐圧半導体素子。

【請求項2】 第1導電型半導体領域と、第2導電型半導体領域と、これらの第1導電型半導体領域と第2導電型半導体領域との間に挟まれて形成され、交互に繰り返して配置された第1導電型半導体層及び第2導電型半導体層とを備え、この第1導電型半導体層及び第2導電型半導体層の繰り返しの配置方向は、前記第1導電型半導体領域と前記第2導電型半導体領域とを結ぶ方向に対して概略垂直であるとともに、前記第1導電型半導体層はオン状態でドリフト電流を流すとともにオフ状態で空乏化し、前記第2導電型半導体層はオフ状態で空乏化し、かつ最外部の第1導電型半導体層又は前記第2導電型半導体層の層厚み方向のキャリア濃度の積分値が、その内部に配置された前記第1導電型半導体層及び前記第2導電型半導体層の層厚み方向のキャリア濃度の積分値の概略半分であることを特徴とする高耐圧半導体素子。

【請求項3】 高濃度第1導電型半導体領域と、この高濃度第1導電型半導体領域に接して形成された第1導電型半導体層と、前記高濃度第1導電型半導体領域及び前記第1導電型半導体層に接して形成された第2導電型半導体層と、前記第1導電型半導体層及び前記第2導電型半導体層に接して形成された高濃度第2導電型半導体領域と、前記第1導電型半導体層及び前記第2導電型半導体層を取り囲んで形成された低濃度第1導電型半導体領域と、この低濃度第1導電型半導体領域及び前記高濃度第2導電型半導体領域に接して形成され、前記高濃度第2導電型半導体領域より低濃度の低濃度第2導電型半導体領域とを備え、前記第1導電型半導体層及び前記第2導電型半導体層は交互に繰り返して配置されており、その最外部の第1導電型半導体層又は前記第2導電型半導体層の層厚み方向のキャリア濃度の積分値が、その内部に配置された前記第1導電型半導体層及び前記第2導電型半導体層の層厚み方向のキャリア濃度の積分値の概略半分であることを特徴とする高耐圧半導体素子。

【請求項4】 高濃度第1導電型半導体領域と、高濃度第2導電型半導体領域と、これらの高濃度第1導電型半導体領域と高濃度第2導電型半導体領域との間に挟まれ

2

て形成され、交互に繰り返して配置された第1導電型半導体層及び第2導電型半導体層と、これらの第1導電型半導体層及び第2導電型半導体層を取り囲んで形成された低濃度第1導電型半導体領域と、この低濃度第1導電型半導体領域及び前記高濃度第2導電型半導体領域に接して形成され、前記高濃度第2導電型半導体領域より低濃度の低濃度第2導電型半導体領域とを備え、前記第1導電型半導体層及び第2導電型半導体層の繰り返しの配置方向は、前記高濃度第1導電型半導体領域と前記高濃度第2導電型半導体領域とを結ぶ方向に対して概略垂直であるとともに、前記第1導電型半導体層はオン状態でドリフト電流を流すとともにオフ状態で空乏化し、前記第2導電型半導体層はオフ状態で空乏化し、かつ最外部の第1導電型半導体層又は前記第2導電型半導体層の層厚み方向のキャリア濃度の積分値が、その内部に配置された前記第1導電型半導体層及び前記第2導電型半導体層の層厚み方向のキャリア濃度の積分値の概略半分であることを特徴とする高耐圧半導体素子。

【請求項5】 高濃度第1導電型半導体領域と、この高濃度第1導電型半導体領域に接して形成された第1導電型半導体層と、前記高濃度第1導電型半導体領域及び前記第1導電型半導体層に接して形成された第2導電型半導体層と、前記第1導電型半導体層及び前記第2導電型半導体層に接して形成された高濃度第2導電型半導体領域と、前記第1導電型半導体層及び前記第2導電型半導体層を取り囲んで形成された低濃度第1導電型半導体領域と、この低濃度第1導電型半導体領域に接して形成され、前記高濃度第2導電型半導体領域を取り囲むように当該領域から離間して設けられたリング状の第2導電型半導体領域層とを備え、前記第1導電型半導体層及び前記第2導電型半導体層は交互に繰り返して配置されており、その最外部の第1導電型半導体層又は前記第2導電型半導体層の層厚み方向のキャリア濃度の積分値が、その内部に配置された前記第1導電型半導体層及び前記第2導電型半導体層の層厚み方向のキャリア濃度の積分値の概略半分であることを特徴とする高耐圧半導体素子。

【請求項6】 高濃度第1導電型半導体領域と、高濃度第2導電型半導体領域と、これらの高濃度第1導電型半導体電極層と高濃度第2導電型半導体電極層との間に挟まれて形成され、交互に繰り返して配置された第1導電型半導体層及び第2導電型半導体層と、これらの第1導電型半導体層及び第2導電型半導体層を取り囲んで形成された低濃度第1導電型半導体領域と、この低濃度第1導電型半導体領域に接して形成され、前記高濃度第2導電型半導体領域を取り囲むように当該領域から離間して設けられたリング状の第2導電型半導体領域層とを備え、前記第1導電型半導体層及び第2導電型半導体層の繰り返しの配置方向は、前記高濃度第1導電型半導体領域と前記高濃度第2導電型半導体領域とを結ぶ方向に対して概略垂直であるとともに、前記第1導電型半導体層はオン状態で

3

ドリフト電流を流すとともにオフ状態で空乏化し、前記第2導電型半導体層はオフ状態で空乏化し、かつ最外部の第1導電型半導体層又は前記第2導電型半導体層の層厚み方向のキャリア濃度の積分値が、その内部に配置された前記第1導電型半導体層及び前記第2導電型半導体層の層厚み方向のキャリア濃度の積分値の概略半分であることを特徴とする高耐圧半導体素子。

【請求項7】 前記第1導電型半導体層及び前記第2導電型半導体層は、お互いに平行なストライプ状の層であることを特徴とする請求項1乃至6記載の高耐圧半導体素子。

【請求項8】 前記第1導電型半導体層及び前記第2導電型半導体層は、奇数個存在することを特徴とする請求項1乃至7記載の高耐圧半導体素子。

【請求項9】 前記低濃度第2導電型半導体領域はオフ状態で空乏化し、その空乏領域は前記第1導電型半導体層及び前記第2導電型半導体層において空乏化により生ずる空乏領域と接することを特徴とする請求項3、4、7、又は8記載の高耐圧半導体素子。

【請求項10】 前記リング状の第2導電型半導体領域層に接する低濃度第1導電型半導体領域はオフ状態で空乏化し、その空乏領域は前記第1導電型半導体層及び前記第2導電型半導体層において空乏化により生ずる空乏領域と接することを特徴とする請求項5乃至8記載の高耐圧半導体素子。

【請求項11】 前記高耐圧半導体素子は縦型の構造を有するものであることを特徴とする請求項1乃至9記載の高耐圧半導体素子。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は高耐圧半導体素子に係わり、終端構造と縦型スーパージャンクションを持つ高耐圧半導体素子に関する。

【0002】

【従来の技術】近年のパワーエレクトロニクス分野における電源機器の小型化、高性能化への要求を受けて、パワー半導体素子では、高耐圧・大電流化とともに、低損失化、高速化、高破壊耐量化に対する性能改善が注力されている。その中で、ストライプ状のp型半導体層とn型半導体層が交互に繰り返して存在する、いわゆるスーパージャンクション構造が考案されている。

【0003】このスーパージャンクション構造は、ダイオードやMOSFET等のパワー半導体素子に用いられた場合、オン状態において非常にオン抵抗が低くなるとともに、オフ状態で容易に空乏化することから高耐圧特性を示すという利点を持つ。

【0004】例えば、特開平7-7154において示されるように、パワーMOSFETの内部領域にスーパージャンクション構造に相当する補助領域を形成することが述べている。しかしながら、かかる補助領域では逆電

4

圧が印加された際にその電荷キャリアが空にされることが開示されているのみであり、実際にスーパージャンクション構造を有する素子を実用化するに際して重要な終端構造については具体的な開示はない。

【0005】

【発明が解決しようとする課題】本発明者らは、スーパージャンクション構造を有する素子を実用化する場合に、スーパージャンクション構造の最外部、特に終端構造において、高耐圧化が不十分であり、これにより素子の破壊が起こることを見出した。

【0006】本発明は、かかる実情に鑑みてなされたものであり、スーパージャンクション構造の高耐圧化を図り素子破壊を防止する終端構造を提供することを目的とするものである。

【0007】

【課題を解決するための手段】前述した課題を解決するために、本発明の第1は、第1導電型半導体領域と、この第1導電型半導体領域に接して形成された第1導電型半導体層と、前記第1導電型半導体領域及び前記第1導電型半導体層に接して形成された第2導電型半導体層と、前記第1導電型半導体層及び前記第2導電型半導体層に接して形成された第2導電型半導体領域とを備え、前記第1導電型半導体層及び前記第2導電型半導体層は交互に繰り返して配置されており、その最外部の第1導電型半導体層又は前記第2導電型半導体層の層厚み方向のキャリア濃度の積分値が、その内部に配置された前記第1導電型半導体層及び前記第2導電型半導体層の層厚み方向のキャリア濃度の積分値の概略半分であることを特徴とする高耐圧半導体素子を提供する。

【0008】また、本発明の第2は、第1導電型半導体領域と、第2導電型半導体領域と、これらの第1導電型半導体領域と第2導電型半導体領域との間に挟まれて形成され、交互に繰り返して配置された第1導電型半導体層及び第2導電型半導体層とを備え、この第1導電型半導体層及び第2導電型半導体層の繰り返し配置方向は、前記第1導電型半導体領域と前記第2導電型半導体領域とを結ぶ方向に対して概略垂直であるとともに、前記第1導電型半導体層はオン状態でドリフト電流を流すとともにオフ状態で空乏化し、前記第2導電型半導体層はオフ状態で空乏化し、かつ最外部の第1導電型半導体層又は前記第2導電型半導体層の層厚み方向のキャリア濃度の積分値が、その内部に配置された前記第1導電型半導体層及び前記第2導電型半導体層の層厚み方向のキャリア濃度の積分値の概略半分であることを特徴とする高耐圧半導体素子を提供する。

【0009】また、本発明の第3は、高濃度第1導電型半導体領域と、この高濃度第1導電型半導体領域に接して形成された第1導電型半導体層と、前記高濃度第1導電型半導体領域及び前記第1導電型半導体層に接して形成された第2導電型半導体層と、前記第1導電型半導体

5

層及び前記第2導電型半導体層に接して形成された高濃度第2導電型半導体領域と、前記第1導電型半導体層及び前記第2導電型半導体層を取り囲んで形成された低濃度第1導電型半導体領域と、この低濃度第1導電型半導体領域及び前記高濃度第2導電型半導体領域に接して形成され、前記高濃度第2導電型半導体領域より低濃度の低濃度第2導電型半導体領域とを備え、前記第1導電型半導体層及び前記第2導電型半導体層は交互に繰り返して配置されており、その最外部の第1導電型半導体層又は前記第2導電型半導体層の層厚み方向のキャリア濃度の積分値が、その内部に配置された前記第1導電型半導体層及び前記第2導電型半導体層の層厚み方向のキャリア濃度の積分値の概略半分であることを特徴とする高耐圧半導体素子を提供する。

【0010】また、本発明の第4は、高濃度第1導電型半導体領域と、高濃度第2導電型半導体領域と、これらの高濃度第1導電型半導体領域と高濃度第2導電型半導体領域との間に挟まれて形成され、交互に繰り返して配置された第1導電型半導体層及び第2導電型半導体層と、これらの第1導電型半導体層及び第2導電型半導体層を取り囲んで形成された低濃度第1導電型半導体領域と、この低濃度第1導電型半導体領域及び前記高濃度第2導電型半導体領域に接して形成され、前記高濃度第2導電型半導体領域より低濃度の低濃度第2導電型半導体領域とを備え、前記第1導電型半導体層及び第2導電型半導体層の繰り返して配置方向は、前記高濃度第1導電型半導体領域と前記高濃度第2導電型半導体領域とを結ぶ方向に対して概略垂直であるとともに、前記第1導電型半導体層はオン状態でドリフト電流を流すとともにオフ状態で空乏化し、前記第2導電型半導体層はオフ状態で空乏化し、かつ最外部の第1導電型半導体層又は前記第2導電型半導体層の層厚み方向のキャリア濃度の積分値が、その内部に配置された前記第1導電型半導体層及び前記第2導電型半導体層の層厚み方向のキャリア濃度の積分値の概略半分であることを特徴とする高耐圧半導体素子を提供する。

【0011】また、本発明の第5は、高濃度第1導電型半導体領域と、この高濃度第1導電型半導体領域に接して形成された第1導電型半導体層と、前記高濃度第1導電型半導体領域及び前記第1導電型半導体層に接して形成された第2導電型半導体層と、前記第1導電型半導体層及び前記第2導電型半導体層に接して形成された高濃度第2導電型半導体領域と、前記第1導電型半導体層及び前記第2導電型半導体層を取り囲んで形成された低濃度第1導電型半導体領域と、この低濃度第1導電型半導体領域に接して形成され、前記高濃度第2導電型半導体領域を取り囲むように当該領域から離間して設けられたリング状の第2導電型半導体領域層とを備え、前記第1導電型半導体層及び前記第2導電型半導体層は交互に繰り返して配置されており、その最外部の第1導電型半導

6

体層又は前記第2導電型半導体層の層厚み方向のキャリア濃度の積分値が、その内部に配置された前記第1導電型半導体層及び前記第2導電型半導体層の層厚み方向のキャリア濃度の積分値の概略半分であることを特徴とする高耐圧半導体素子を提供する。

【0012】さらにまた、本発明の第6は、高濃度第1導電型半導体領域と、高濃度第2導電型半導体領域と、これらの高濃度第1導電型半導体電極層と高濃度第2導電型半導体電極層との間に挟まれて形成され、交互に繰り返して配置された第1導電型半導体層及び第2導電型半導体層と、これらの第1導電型半導体層及び第2導電型を取り囲んで形成された低濃度第1導電型半導体領域と、この低濃度第1導電型半導体領域に接して形成され、前記高濃度第2導電型半導体領域を取り囲むように当該領域から離間して設けられたリング状の第2導電型半導体領域層とを備え、前記第1導電型半導体層及び第2導電型半導体層の繰り返して配置方向は、前記高濃度第1導電型半導体領域と前記高濃度第2導電型半導体領域とを結ぶ方向に対して概略垂直であるとともに、前記第1導電型半導体層はオン状態でドリフト電流を流すとともにオフ状態で空乏化し、前記第2導電型半導体層はオフ状態で空乏化し、かつ最外部の第1導電型半導体層又は前記第2導電型半導体層の層厚み方向のキャリア濃度の積分値が、その内部に配置された前記第1導電型半導体層及び前記第2導電型半導体層の層厚み方向のキャリア濃度の積分値の概略半分であることを特徴とする高耐圧半導体素子を提供する。

【0013】上述した本発明の第3、4においては、前記第2導電型半導体領域はオフ状態で空乏化し、その空乏領域は前記第1導電型半導体層及び前記第2導電型半導体層において空乏化により生ずる空乏領域と接することが好ましい。

【0014】また、上述した本発明の第5、6においては、前記リング状の第2導電型半導体領域層に接する低濃度第1導電型半導体領域はオフ状態で空乏化し、その空乏領域は前記第1導電型半導体層及び前記第2導電型半導体層において空乏化により生ずる空乏領域と接することが好ましい。

【0015】また、上述した各発明において、前記第1導電型半導体層及び前記第2導電型半導体層は、お互いに平行なストライプ状の層であることが好ましい。さらに、前記第1導電型半導体層及び前記第2導電型半導体層は、奇数個存在することが好ましい。さらにまた、前記高耐圧半導体素子は縦型の構造を有するものであることが好ましい。

【0016】

【発明の実施の形態】以下、本発明の実施形態について図面を参照しつつ詳細に説明する。

(第1の実施形態) 図1は、本発明の第1の実施形態に係る高耐圧半導体素子の構造を示す上面図である。図2

7

は、図1の点線AA'を通る断面における断面図である。この断面図では図1の素子構造の半分のみを示している。

【0017】図1、図2に示される高耐圧半導体素子は縦型のダイオードに係るものである。これらの図に示すように、本実施形態の縦型のダイオードは、低濃度のn型層5の一方の面に高濃度のn型層10が形成され、また他方の面には高濃度のp型層3が選択的に形成されており、これらのn型層10とp型層3との間にはスーパー

【0018】その最外部のp型層1の層厚み方向のキャリア濃度の積分値は、一番外側を除いた残りの内部に配置されたp型層1とn型層2の層厚み方向のキャリア濃度の積分値の概略半分となっている。これらの一番外側を除いた残りのp型層1とn型層2の層厚み方向のキャリア濃度の積分値は一定となっている。ここでは一番外側のストライプ状の層をp型層1としたが、n型層2であっても上記キャリア濃度積分値の条件を満たせば効果は同様である。

【0019】例えば、一番外側のp型層1の濃度及び厚みを $1 \times 10^{15} \text{ cm}^{-3}$ 、 $3.5 \mu\text{m}$ 、或いは $5 \times 10^{14} \text{ cm}^{-3}$ 、 $7.0 \mu\text{m}$ 、一番外側を除いた残りの内部に配置されたp型層1とn型層2の濃度及び厚みを、それぞれ $1 \times 10^{15} \text{ cm}^{-3}$ 、 $7.0 \mu\text{m}$ とすることが可能であり、かかる条件の下で上記キャリア濃度積分値の条件を満足する。したがって、例えば逆電圧4000Vを印加する条件下では、OFF状態において上記スーパー

【0020】ストライプ状のp型層1とn型層2と接する高濃度のp型層3は、低濃度のp型層4（例えば、濃度は $1 \times 10^{13} \text{ cm}^{-3}$ 。後述する実施形態も同様。）で囲まれており、この層がリサフ層として電界を緩和する働きをする。例えば、p型層3の深さは $6.0 \mu\text{m}$ 、濃度は $2 \times 10^{17} \text{ cm}^{-3}$ であり、また、p型層4の深さは $5.0 \mu\text{m}$ 、濃度は $3 \times 10^{15} \text{ cm}^{-3}$ である。

【0021】かかる条件の下では、p型層4とn型ベース層5とのpn接合から伸びる空乏層は上記スーパー

8

件下では、OFF状態において上記スーパー

【0022】なお、図1、図2において、6は高濃度のn型ストッパ層であり、リサフ層であるp型層4から伸びる空乏層が基板エッジ部分にまで到達することを防止して耐圧を確保するために設けられる。また、7は絶縁膜、8はアノード電極、9はストッパ電極、11はカソード電極である。

【0023】以上述べた構造による縦型のスーパー

【0024】図3は、図1に示す本実施形態に係る縦形のダイオードの漏れ電流特性を示す特性図である。横軸は印加電圧、縦軸は漏れ電流を示している。図3に示されるように本実施形態に係る縦形のダイオードは4400V程度の耐圧を持っていることがわかる。また、かかるダイオードのオン抵抗は $0.03 \Omega \text{ cm}^2$ であり、非常に低いオン抵抗を示した。

【0025】（第2の実施形態）図4は、本発明の第2の実施形態に係る高耐圧半導体素子の構造を示す上面図である。図5は、図4の点線BB'を通る断面における断面図である。この断面図では図4の素子構造の半分のみを示している。なお、図1と同一部分には同一符号を付して示し詳細な説明は省略する。

【0026】本実施形態の高耐圧半導体素子も縦型のダイオードに係るものである。図4、図5に示すように、本実施形態の縦型のダイオードが第1の実施形態のダイオードと異なる点は、ストライプ状のp型層1とn型層2と接する高濃度のp型層3を囲む低濃度のp型層（リサフ層）4の代わりに、複数の同心円状の高濃度のp型層（ガードリング層）12が設けられている点である。かかるp型層（ガードリング層）12はp型層3の周囲を取り囲むように設けられており、このp型層12がリサフ層と同様に電界を緩和する働きをする。例えば、p型層3の深さは $6.0 \mu\text{m}$ 、濃度は $2 \times 10^{17} \text{ cm}^{-3}$ であり、また、p型層12の深さは $6.0 \mu\text{m}$ 、幅は $10.0 \mu\text{m}$ 、濃度は $5 \times 10^{18} \text{ cm}^{-3}$ 、p型層3からの距離は $10.0 \mu\text{m}$ 、お互いの間隔は $10.0 \sim 40.0 \mu\text{m}$ である。

【0027】かかる条件の下では、上記スーパー

10

20

30

40

50

逆電圧 4000 V を印加する条件下では、OFF 状態において上記スーパージャンクション構造の終端部分は完全空乏化し図 3 と同様な高耐圧特性を示すことがわかった。また、かかるダイオードのオン抵抗は $0.03 \Omega \text{ cm}^2$ であり、非常に低いオン抵抗を示した。

【0028】（第 3 の実施形態）図 6 は、本発明の第 3 の実施形態に係る高耐圧半導体素子の構造を示す断面斜視図である。図 1 と同一部分には同一符号を付して示し詳細な説明は省略する。

【0029】図 6 に示すように、本実施形態の高耐圧半導体素子は縦型のプレーナ型 MOS 構造を有する素子

（例えば MOSFET）である。低濃度の n 型層（ベース層）5 の一方の面には高濃度の n 型ドレイン層 15 が形成され、また他方の面には p 型ベース層 13 が選択的に形成されており、これらの n 型ドレイン層 15 と p 型ベース層 13 との間には第 1 の実施形態と同様のスーパージャンクション構造（p 型層 1 と n 型層 2）が設けられている。

【0030】p 型ベース層 13 の表面には選択的に n 型ソース層 14 が形成され、スーパージャンクション構造（p 型層 1 と n 型層 2）、n 型ソース層 14、及び p 型ベース層 13 の表面上には、ゲート絶縁膜（シリコン酸化膜等）16 を介してゲート電極 17 が設けられている。この実施形態の場合には、ゲート絶縁膜 16 及びゲート電極 17 はスーパージャンクション構造（p 型層 1 と n 型層 2）の部分まで延在している。これにより、効率よくスーパージャンクション構造に電子を注入することが可能である。

【0031】本実施形態に係る MOS 構造を有する素子も、OFF 状態においてスーパージャンクション構造はその最外周部分においても完全空乏化し高耐圧特性を示すようになる。また、OFF 状態において、p 型層 4 と n 型層 5 との pn 接合から伸びる空乏層は上記スーパージャンクション構造において形成される空乏層と完全に接続され、この終端部分における耐圧を十分に確保することが可能である。本実施形態では、終端構造としてリサーフ層（p 型層 4）を示したが、図 4、図 5 に示したガードリング層（p 型層 12）を用いても高耐圧を得ることができた。また、終端構造がリサーフ層であっても、ガードリング層であっても、オン抵抗は非常に低かった。

【0032】（第 4 の実施形態）図 7 は、本発明の第 4 の実施形態に係る高耐圧半導体素子の構造を示す断面斜視図である。図 6 と同一部分には同一符号を付して示し詳細な説明は省略する。

【0033】図 7 に示すように、本実施形態の高耐圧半導体素子は縦型のトレンチ型 MOS 構造を有する素子

（例えば MOSFET）である。p 型ベース層 23 が低濃度の n 型層（ベース層）5 の一方の面に選択的に形成されており、この p 型ベース層 23 と n 型ドレイン層 1

5 との間には第 1 の実施形態と同様のスーパージャンクション構造（p 型層 1 と n 型層 2）が設けられている。

【0034】p 型ベース層 23 の表面には選択的に n 型ソース層 24 が形成され、これらの n 型ソース層 24 及び p 型ベース層 23 を貫通してトレンチ 28 が設けられている。このトレンチ 28 はスーパージャンクション構造（p 型層 1 と n 型層 2）が設けられた n 型層 5 に到達するように形成されている。トレンチ 28 の内部にはゲート絶縁膜（シリコン酸化膜等）26 を介してゲート電極 27 が設けられている。

【0035】本実施形態に係る MOS 構造を有する素子も、OFF 状態においてスーパージャンクション構造はその最外周部分においても完全空乏化し高耐圧特性を示すようになる。また、OFF 状態において、p 型層 4 と n 型層 5 との pn 接合から伸びる空乏層は上記スーパージャンクション構造において形成される空乏層と完全に接続され、この終端部分における耐圧を十分に確保することが可能である。本実施形態では、終端構造としてリサーフ層（p 型層 4）を示したが、図 4、図 5 に示したガードリング層（p 型層 12）を用いても高耐圧を得ることができた。また、終端構造がリサーフ層であっても、ガードリング層であっても、オン抵抗は非常に低かった。

【0036】なお、本発明は上記実施形態に限定されることはない。例えば、縦型の高耐圧半導体素子に限らず、横型の高耐圧半導体素子等の様々な型の高耐圧半導体素子に対して本発明を適用することも可能である。また、スーパージャンクション構造における p 型層 1 と n 型層 2 とを入れ換えて配置しても良く、この場合にも OFF 状態においてスーパージャンクション構造はその最外周部分においても完全空乏化し高耐圧特性を示すようになる。その他、本発明の趣旨を逸脱しない範囲で種々変形して実施することが可能である。

【0037】

【発明の効果】本発明により、スーパージャンクション構造を有する半導体素子の高耐圧化を実現することが可能である。

【図面の簡単な説明】

【図 1】 本発明の第 1 の実施形態に係るスーパージャンクション構造を有する縦型ダイオードの構造を示す上面図。

【図 2】 図 1 の破線 AA' に沿った面における断面図。

【図 3】 図 1 に示す縦型ダイオードの漏れ電流特性を示す特性図。

【図 4】 本発明の第 2 の実施形態に係るスーパージャンクション構造を有する縦型ダイオードの構造を示す上面図。

【図 5】 図 4 の破線 BB' に沿った面における断面図。

11

【図6】 本発明の第3の実施形態に係るスーパージャクション構造を有する縦型のプレーナ型MOS構造素子を示す断面斜視図。

【図7】 本発明の第4の実施形態に係るスーパージャクション構造を有する縦型のトレンチ型MOS構造素子を示す断面斜視図。

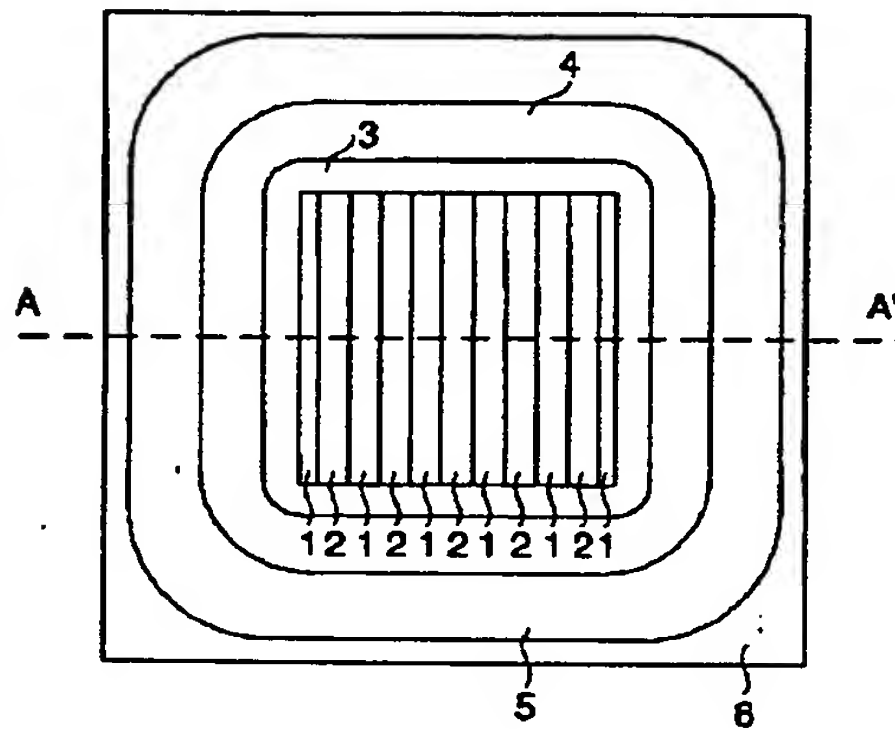
【符号の説明】

- 1…ストライプ状のp型層
- 2…ストライプ状のn型層
- 3…高濃度のp型層
- 4…低濃度のp型層（リサーフ層）
- 5…低濃度のn型層
- 6…高濃度のn型ストッパー層

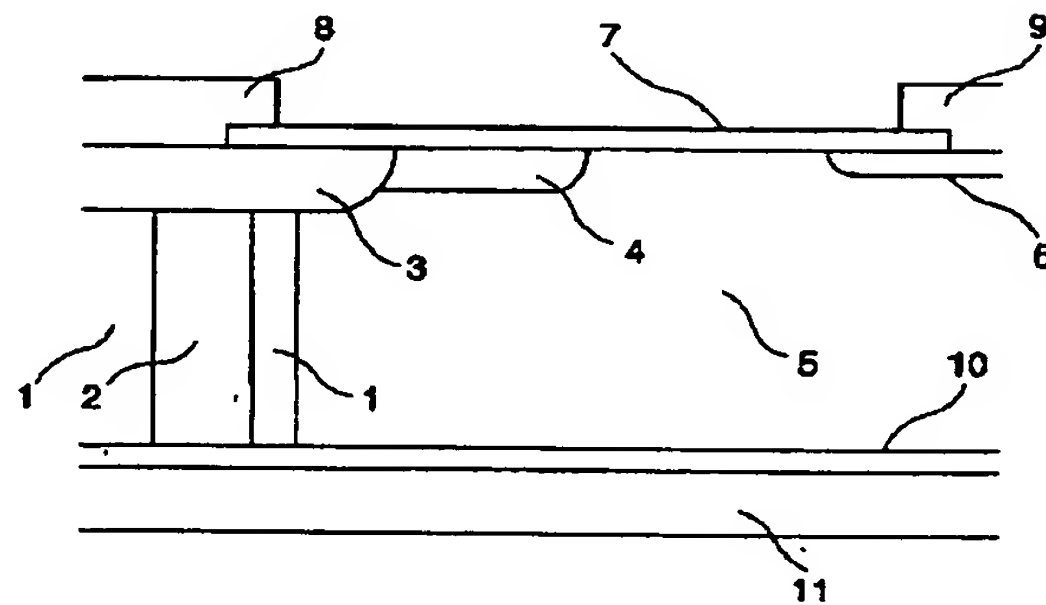
- * 7…絶縁膜
- 8…アノード電極
- 9…ストッパー電極
- 10…高濃度のn型層
- 11…カソード電極
- 12…高濃度のp型層（ガードリング層）
- 13、23…p型ベース層
- 14、24…n型ソース層
- 15…n型ドレイン層
- 10 16、26…ゲート絶縁膜
- 17、27…ゲート電極
- 28…トレンチ

*

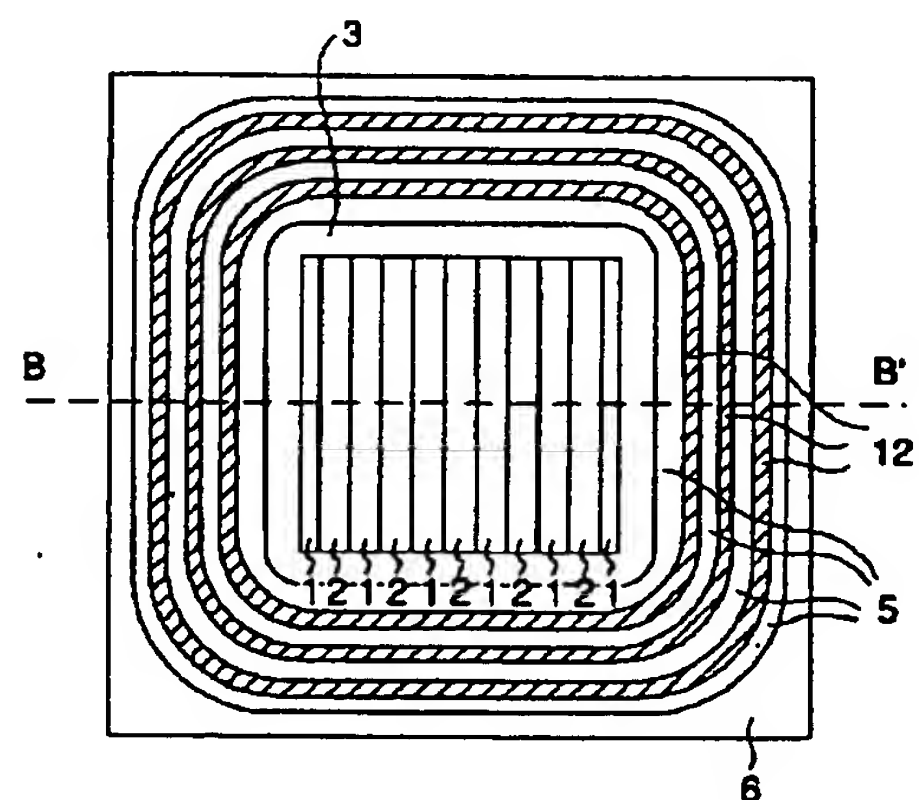
【図1】



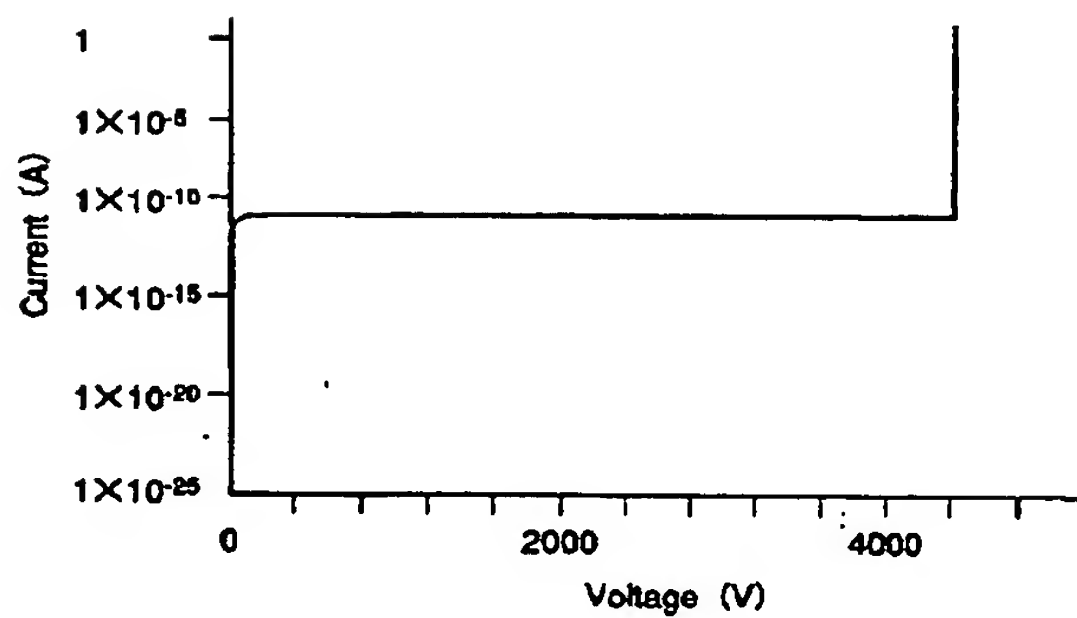
【図2】



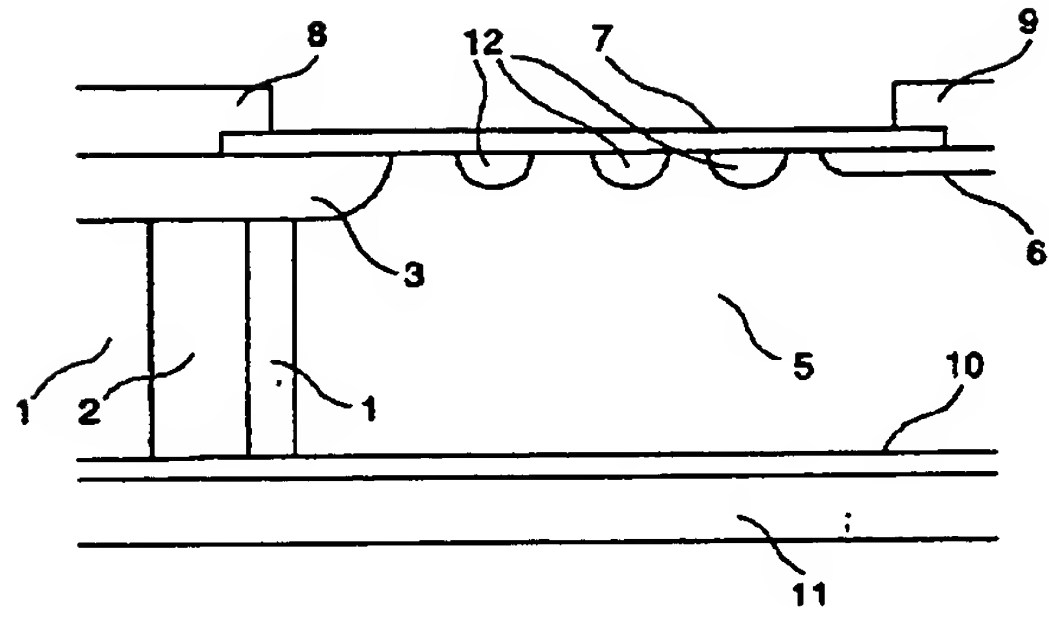
【図4】



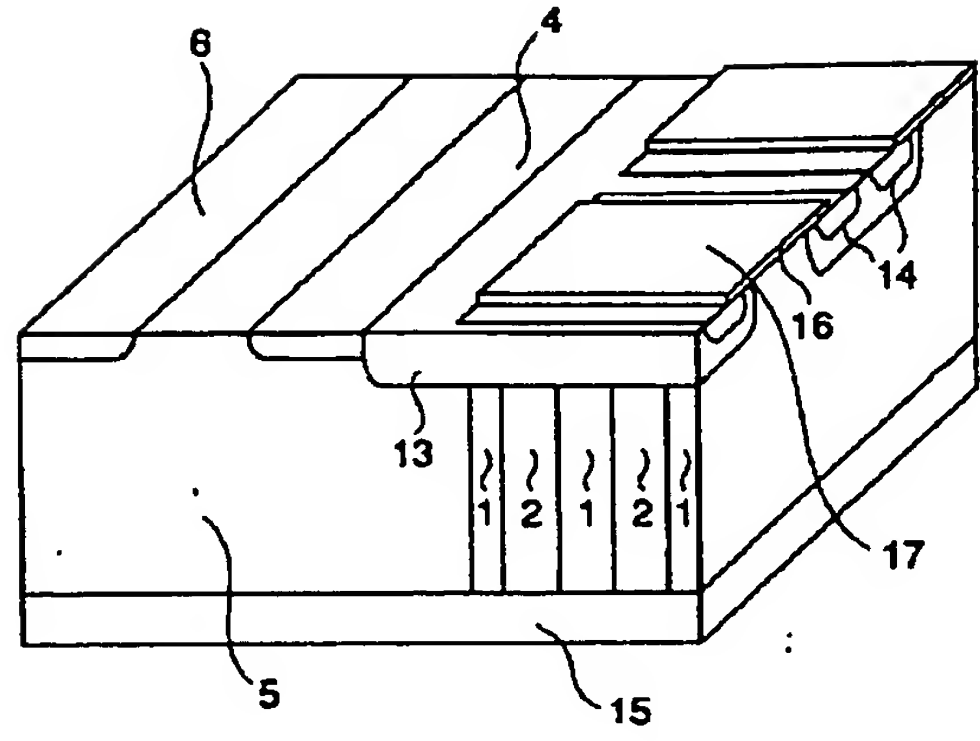
【図3】



【図 5】



【図 6】



【図 7】

